

- (19) Japan Patent Office (JP)
(12) Laid-Open Patent Application Publication (A)
(11) Unexamined Patent Application Publication H 2-142000
(43) Publication Date: 5/31/1990

(51) Int. Cl. ⁵	ID Code	File No.		
G 11 C 29/00	303 B	7737-5B		
		7341-5B	G 11C 17/00	309 F
		7341-5B		A*

Examination not yet requested
Number claims: 3 (Total of 14 pages)

- (54) Name of Invention: Semiconductor memory device
(21) Application number: S 63-295172
(22) Application date: 11/22/1988

- (72) Inventor: Akinori Matsuo
Hitachi ULSI Engineering, Ltd.
5-20-1 Josuihoncho, Kodaira City, Tokyo
(72) Inventor: ["Yutaka" OR ONE OF 6 OTHER POSSIBILITIES] ["Watabe" OR "Watanabe"]
Hitachi ULSI Engineering, Ltd.
5-20-1 Josuihoncho, Kodaira City, Tokyo
(71) Applicant: Hitachi Corp.
4-6 Kanda Surugadai, Chiyoda-Ku, Tokyo
(71) Applicant: Hitachi ULSI Engineering, Ltd.
5-20-1 Josuihoncho, Kodaira City, Tokyo
(74) Representative: Mitsumasa Tokuwaka Patent Attorney

CONTINUED ON LAST PAGE

Specification

1. Name of Invention

Semiconductor memory device

2. Patent Claims

1. A semiconductor memory device that includes a memory array wherein non-volatile memory elements wherein the threshold voltages change depending on the information that is written electrically are laid out in the form of a matrix, and equipped with an auto verify function wherein not only is a writing interval set in the internal circuitry by the inputting of a specific control signal, but, after the writing, the mode switches automatically to a read out mode.
2. A semiconductor memory device according to claim 1, wherein the read out operation of the aforementioned auto verify mode uses an internal comparator circuit to compare write data stored in a latch circuit equipped internally to data that is read out by the read out mode, and outputs the comparison results.
3. A semiconductor memory device according to claim 1 or claim 2, wherein the aforementioned

non-volatile memory elements comprise an EPROM.

3. Detailed Explanation of the Invention

(Area of Use in Industry)

The present invention pertains to semiconductor memory devices, and to effective technologies used in, for example, EPROM's (erasable and programmable read-only memories).

(Prior Art)

Operations for writing to EPROM's do so by specifying the address, inputting the write data, going into a write mode based on a control signal, and then writing to the memory cell. When these write operations are completed, then a control signal switches the mode into a verify (read out) mode, the memory of the address written to, above, is read out, and in the writing device (the EPROM writer) the aforementioned write data and the data that has been read out is compared in order to confirm the write operation. This type of EPROM is found in, for example, pages 743 to 839 of the "Hitachi IC Memory Databook," published in August of 1988 by Hitachi Corporation.

(Problem Solved by the Present Invention)

In conventional EPROM's, the operating mode is specified by a control signal, as described above. For this reason, when the EPROM is built into a microcomputer system (is in the "on-board state") and is written to by, for example, the microprocessor, the microprocessor, or the like, itself must continuously generate the aforementioned control signal over the relatively long period of time required for the writing. Consequently, during this interval, the microprocessor, or the like, will be essentially incapable of performing [other operations], resulting in a problem in that the system throughput becomes extremely poor.

The object of the present invention is to provide a semiconductor memory device wherein the setting of the verify mode is done automatically after writing.

The objects and novel features of the present invention, both those stated above and others, will become apparent from the detailed description of the present invention and from the attached drawings.

(Means by Which the Problem Is Solved)

A simple explanation of a representative summary of the inventions disclosed in this application is given below. In other words, not only is the time for writing to the memory array, comprising non-volatile memory elements with threshold values that change depending on the data that is written electrically, laid out in the form of a matrix, set according to the time signal that is formed in an internal circuit, but also the operating mode switches automatically to the verify mode after the writing has been completed.

(Operation)

Given the means described above, the memory itself controls the right time using an internal circuit, and switches automatically to the verify mode after the write operations have been completed, so the control of the write operations accompanying the write verifications becomes simple.

(Example Embodiments)

Fig. 1 shows a block diagram of an example embodiment of an EPROM wherein the present invention is used. Each circuit block in the figure is formed on a single semiconductor wafer, such as single-crystal silicon, using a well-known semiconductor integrated circuit manufacturing technology.

In the memory MARY in the figure, non-volatile memory elements with a stacked gate structure, having a control gate and a floating gate, are laid out at the intersections between word lines and data lines, in the same way as in well-known EPROM's, where the word lines are connected to the control gates of the aforementioned memory elements, the data lines are connected to the drains, and the circuit ground points are connected to the sources. In the figure, the aforementioned memory array MARY and the I/O circuit associated therewith only show a single bit's worth. Given this, when reading out multiple bit units, such as eight bits, as the entire EPROM, there will be multiple sets of memory arrays MARY and I/O circuits, such as shown in the figure, for example, eight sets thereof.

An address buffer ADB receives an address signal supplied from an external terminal, and creates an internal address signal. Although there are no particular constraints on [how this is done], in the present embodiment, said internal address signal is stored temporarily in an address latch circuit ADL for, for example, the auto verify mode, which will be explained below.

In the aforementioned internal address signal, the X system (row system) address signal is supplied to the row decoder circuit LDC, where it is decoded. The row decoder circuit LDC analyzes the aforementioned address signal, and selects a single word line of the memory array MARY. Of the aforementioned internal address signals, the Y system (column system) address signals are supplied to the column decoder circuit CDC, where they are decoded. The column decoder circuit CDC analyzes the aforementioned address signals and produces the data line selection signal. The column selection data circuit CSG comprises switch MOSFET's wherein the switches are controlled by the aforementioned data line control signal, where the one selected data line is connected to the common data line. In the write operations for the aforementioned memory elements, it is necessary to supply a relatively high voltage to the drain and control gate. Because of this, the aforementioned decoder circuits LCD and CDC receive the decoder output at the relatively low level of 5 volts, and have a level conversion function that converts to the high level of approximately 12 volts for performing the write operation.

Note that, as will be described below, when there is a page program function that writes n bytes simultaneously, the aforementioned column selection gate circuit CSG uses a structure wherein multiple data lines are connected to multiple common data lines. Furthermore, the aforementioned multiple common data lines are equipped with data latch circuits, and after the write data has been accepted serially into the respective [latches], the write signals are sent in parallel to the multiple data lines through the aforementioned column select gate circuits CSG. In this type of address structure, the aforementioned column decoder circuit CDC is divided into first and second column decoder circuits, where the aforementioned column select gate circuit CSG selection signal is formed by the first column decoder circuit, and, in the write operation, the aforementioned multiple data latch circuit selection signals are formed by the second column decoder circuit, and in the readout operation, the readout gate circuit selection signal, which selects one of the multiple shared data lines, is produced [by the second column decoder circuit].

The aforementioned shared data lines are equipped with data latch circuits DL. When these data latch circuits DL are not used for the page program mode, described above, but used only for the auto verify mode, they are equipped for the write data memory. Because of this, when the page program function, as described above, is not provided, these are formed from a single data latch circuit, but when the aforementioned page program mode is added, these are formed from multiple data latch circuits.

A data input buffer DIB is used for inputting the write data supplied from the external terminal I/O and for inputting the command data at the time of the auto verify mode, described below. Because of this, the data input buffer DIB output signal is supplied not only to the aforementioned data latch circuit DL, but also to the auto verify control circuit AVCNT.

The write data Di which is the output signal from the aforementioned data latch circuit DL, and the output signal Do from a sense amp SA, which is the readout signal in the auto verify mode, are supplied to a data comparator circuit EOR. This data comparator circuit EOR is structured from match/non-match circuits, such as exclusive logical OR circuits, where the aforementioned write data and readout data are compared, and a match/non-match signal is produced. In other words, the data comparator circuit EOR makes a matching/non-matching determination by comparing the aforementioned data when the auto verify mode is in effect.

A ring oscillator RO produces a reference time signal, producing a sequential operation timing signal for, for example, setting the write interval and transitioning from the write operation into the verification mode. A frequency divider counter circuit PCTR divides the frequency of the reference pulses generated by the aforementioned ring oscillator RO, generates unit write pulses at the write intervals according to the write conditions that have been set, and produces, for example, the verify pulse that switches the internal circuit into the verification mode. An output counter circuit CCTR counts the aforementioned write pulses, and is used to set the actual write interval.

A control circuit CONT receives the high voltage Vpp for writing, the chip enable signal {CE} and the output enable signal {OE}, and produces the various control signals and timing signals required for the internal operations.

While there are no particular constraints [on how this is done], in this example embodiment, the terminal {CE} is equipped with a high voltage detector function, and three levels of input signals, including the high voltage level, are supplied from the terminal {CE}. The high voltage from this terminal {CE} is used to set the auto verification mode. Figures 2A to 2C show timing diagrams for explaining the auto verification mode in the aforementioned EPROM.

With the high voltage Vpp at a high voltage of approximately 12 volts and the chip enable signal {CE} at the high voltage, the control circuit CONT identifies the auto verification mode when the output enable signal {OE} is dropped to the low level. This causes the auto verification command acceptance signal ACD to be asserted to the high level, a command is inputted from the I/O terminal I/O, and [the command] is accepted into the command latch, as explained next.

Figure 3 shows a circuit diagram of one example embodiment of the aforementioned command latch circuit.

The command latch circuit comprises eight latch circuits FF0 to FF7 corresponding to the command data D0 to D7, comprising eight bits supplied from the eight I/O terminals I/O, as described above. In the figure, the specific circuit for the latch circuit FF7, which produces the auto

verification signals AP and {AP}, is shown as a representative example, where the other latch circuits FF0 to FF4 and the like, which have the same structure, are represented by black boxes, using dotted lines.

The aforementioned latch circuit FF7 comprises an input clocked inverter circuit CN1 that inputs the aforementioned data E7, a data storage (loop) clocked inverter circuit CN2, and a NAND gate circuit G1 connected on one of its outputs to the input and output of the aforementioned clocked inverter circuit CN2, where the output part is connected in series with the inverter circuits N1 and N2, and outputs the aforementioned signals AP and {AP}. The aforementioned clocked inverter circuits CN1 and CN2 are operated in a complimentary state to each other by the auto verification command acceptance signals ACD and {ACD} generated when the aforementioned auto verification mode is set. In other words, when the signal ACD is at the high level (a logical "1"), the input clocked inverter circuit CN1 goes to an operating state, and the loop clocked inverter circuit CN2 goes to a high-impedance output non-operating state. Furthermore, when the aforementioned acceptance signal ACD transitions from the high level to the low level (a logical "0"), the input clocked inverter circuit CN1 goes to a high impedance non-operating state, and the opposite signal {ACD} goes to a high level, the loop clocked inverter circuit CN2 is set to the operating state by the auto verification command acceptance signals ACD and {ACD} that are generated when the aforementioned auto verification mode is set. In other words, when the signal ACD is high (logical "1"), the input clocked inverter circuit CN1 goes to an operating state, and the loop clocked inverter circuit CN2 goes to a high-impedance output non-operating state. Furthermore, when the aforementioned acceptance signal ACD goes from a high level to a low level (logical "0"), the input clocked inverter circuit CN1 goes to a high-impedance output non-operating state, and the opposite signal {ACD} goes to a high level, and the loop clocked inverter circuit CN2 goes to an operating state to perform the maintenance operation for the command data D7 which is at a logical "0" at the time of the auto verification mode. Note that the NOR gate circuit G1 is supplied with the signal VP, which is at a high level when the voltage Vpp is at the high voltage level for writing, and thus in order to set the aforementioned auto verification mode, the aforementioned voltage Vpp must be at the high voltage. Consequently, when not in a write operation, where the aforementioned high voltage Vpp goes to 5V or 0V, the signal VP is at a low level, so the latch circuit FF7 goes to a reset state.

The remaining command data D4 and D3 is used in order to set the unit write interval. In other words, the 2-bit signals D3 and D4, which are held in the latch circuits FF3 and FF4, are inputted into the decoder circuit comprising a NAND gate circuit and an inverter circuit in order to set the unit write pulse time to one of the four options T100, T025, T050, and T200.

The remaining command data D2 to D0 are used in order to set the number of unit write cycles. In other words, the aforementioned 3-bit signal D0 to D2, which is stored by the latch circuits FF0 to FF2, are inputted into a decoder circuit comprising a NOR gate, to set the maximum number of write cycles in, essentially, one of five ways, such as between N01 and N15.

Of the remaining two bits of command data, D6 of [SIC -- "and"?] D5, not shown, one bit is used as the signal that allows the output of the internal operating state, described below.

Figure 6 shows a circuit diagram of an example embodiment of a high voltage detector circuit that is used in setting the aforementioned auto verification mode.

The terminal {CE} is connected to the input terminal of the input buffer IB on one side, where the internal signal ce is produced through the input buffer.

The aforementioned terminal {CE}, on the other side, is connected to an input terminal for a high voltage detector circuit, as described below, to enable three-value inputs. In other words, the level of the voltage signal supplied from the aforementioned terminal {CE} is shifted through the diode-type MOSFETs Q10 and Q11 to the operating voltage of the CMOS inverter circuit, which comprises a P-channel MOSFET Q12 and an N-channel MOSFET Q13. Although there are no particular constraints, a constant power supply voltage V_{CC} is supplied to the gates of the MOSFETs Q12 and Q13 that comprise the aforementioned CMOS inverter circuit. The aforementioned N-channel MOSFET Q13 conductance is set to be relatively small. Because of this, when the terminal {CE} is at a relatively low level, such as the power supply voltage DCC , the output signal HCE goes to the low level, such as the ground level of the circuit, in accordance with, for example, the P-channel MOSFET Q12 going to an OFF state. In contrast, when a specific high voltage, higher than the power supply voltage V_{CC} , is applied to the aforementioned terminal {CE}, the operating voltage of the MOSFETs Q10 and Q11, and through said MOSFETs Q10 and Q11 rising above the threshold voltage, causing the P-channel MOSFET Q12 to turn on, where the output signal HCE goes to the high level according to the conductance ratio between that total conductance and the conductance of the N-channel MOSFET Q13 which goes into an ON state because of the power supply voltage supplied to the aforementioned gate. This signal HCE is supplied to the gates of the MOSFETs Q14 and Q16, which are the inputs on one side of the NAND gate circuit comprising the P-channel MOSFETs Q14 and Q15, and the N-channel MOSFETs Q16 and Q17. The control signal V_p , which indicates that the high voltage for writing is applied to the high voltage V_{pp} , as described above, is supplied to the gates of the MOSFETs Q15 and Q17, which are the other inputs of the aforementioned NAND gate circuits. Doing so enables the output signal of the high voltage detector circuit corresponding to the aforementioned terminal {CE} when writing is enabled with the high voltage V_{pp} supplied.

This high voltage detection circuit is equipped with a specific address terminal A1, shown by the arc in the figure, along with the control signal terminals described above, where a three-level input as an address signal may be performed, used in setting the various modes.

In Figure 2A, when the page program mode is set in order to reduce the write time, in addition to the auto verification mode such as described above, the write data is inputted serially as described next. When the aforementioned page program mode is set, the aforementioned remaining one bit of command data is used, or the setting is by a combination of the aforementioned terminals {CE} and {OE}.

As described above, when the page program mode is set, not only is the address signal supplied from the address terminal with the low level of the output enable signal {OE} as the clock, but also the write data D1 to D4 are supplied serially from the I/O terminal I/O. In other words, the page program data latch control signal PDLC is generated synchronized with the low level of the aforementioned signal {OE}, and the data latch signals DL1 through DL4 are generated according to the aforementioned address signals A_j based thereon. That is to say, by the data latch signals DL1 through DL4 being generated according to the addresses A1 to A4, which are specified by, for example, the lower two bit address signals A_j (L) with the upper bit address signals A_i (H) at a constant address signal, specifies the data latch circuits, and the write data D1 to D4 are accepted serially into the data latch circuits.

Figure 5 shows a circuit diagram of an example embodiment of a write amp WB and the data latch circuits DF1 through DF4 used in the aforementioned page program mode, and the aforementioned data input buffer DIB.

On one side, the 1-bit external terminal I/O is connected to one of the inputs of the NOR gate circuit G4 that structures the data input buffer DIB. The input on the other side of this NOR gate circuit G4 is supplied with a control signal {DIC}. Because of this, when the control signal {DIC} is at a low level (logical "0"), the operation of the data input buffer DIB made from the aforementioned NOR gate circuit G4 is enabled, and the output signal thereof is applied through the inverter circuit N4 to all of the input terminals of the next data latch circuits DF1 through DF4. The aforementioned external terminals I/O are connected, on the other side, to the output terminals of the data output buffer DOB.

The aforementioned various data latch circuits DF1 through DF4 are equipped corresponding to the respective partitioned data blocks. The data latch circuit DF1, corresponding to one memory block, comprises an input clocked inverter circuit CN3, and a NAND gate circuit G2 with its output connected to the input of a data storage (loop) clocked inverter circuit CN4 and the input of the aforementioned clocked inverter circuit CN3 with one of [the inputs of the NAND gate circuit G2] connected to the output thereof, with the output part [of the data latch circuit DF1] equipped with the output circuit made from the NOR gate circuit G3.

The aforementioned clocked inverter circuit CN3 and CN4 are put into complimentary operating states by the data latch signal DL1 that is generated as a time series according to the aforementioned address signal Aj when in the page program mode. In other words, when the data latch signal DL1 is high, the input clocked inverter circuit CN3 goes to an operating state, and the loop clocked inverter circuit CN4 goes to a high impedance output non-operating state. Furthermore, when the data latch signal DL1 goes to a low level from the high level, the input clocked inverter circuit CN3 goes to a high-impedance output non-operating state, and the loop clocked inverter circuit CN4 goes to an operating state, performing the operation of storing the data that has been accepted. The data latch circuits DF2 to DF4, corresponding to the other memory blocks, are structured from the same circuits as described above. However, the data latch signals DL2 to DL4 are used as the control signals thereof.

The other inputs of the NAND gate circuits G2, etc., that structure the aforementioned latch circuits DF1 through DF4 are supplied with the data latch reset signal {DLRS}. In other words, when this signal {DLRS} goes to the low level, the outputs of the NAND gate circuits G2, etc., go to a high level regardless of the stored data, and the latch circuits DF1 to DF4 are all reset.

The other inputs of the NOR gate circuits G3, etc., which are equipped at the output parts of each latch circuit DF1 to DF4, are supplied with the data write control signals {DW}1 through {DW}4 that are produced when in normal program mode. Yet other inputs of the aforementioned NOR gate circuits G3, etc., are supplied with the write enable signal {WE}. Consequently, the NOR gate circuits G3, etc., equipped at the output parts of each of the latch circuits DF1 to DF4 are, essentially, put into an operating mode when the write mode is entered with the write enable signal {WE} going to the low level.

At this time, if the page program mode is in effect, the data that is stored in the latch circuits DF1 through DF4 is sent to the corresponding data lines through the write amps WB because the aforementioned signals {DW}1 through {DW}4 are all at the low level, and batch writing (page programming) is performed in 4-bit (or 4-byte for the EPROM as a whole) units. Furthermore, if the normal program mode is in effect, the aforementioned signals DL1 to DL4 are all put to the high level, so the write data passes directly through each of the latch parts, and only the NOR gate circuit corresponding to the one data write control line {DW}1, which is put to the low level according to the address instruction data, is open, so the write data is transmitted to the corresponding data

line through the write amp WA, and the normal write is performed in single-bit (or, for the EPROM as a whole, single-byte) units.

Although there are no particular constraints, the write amp WB is structured from the following circuits. The output signal from the data latch circuit, outputted from the aforementioned NOR gate circuit G3, etc., is supplied to the input inverter circuit N3. The output signal from this inverter circuit N3, etc., is sent to the input of an output amp that generates the switch control signals YW1 to YW4 that send the high level write signal through a depression-type MOSFET Q1, etc., which is always supplied at its gate with the power supply voltage Vcc. The output amp has a level conversion function that converts the signal amplitude of the relatively low level such as the power supply voltage Vcc to the signal amplitude with the high level such as the high voltage Vpp. These switch control signals YW1, etc., are used as the write MOSFET switch control signals that are sent to the common data lines corresponding thereto.

For example, if the output signal from the data latch circuit DF1 is high, the output signal from the input inverter circuit N3 will be low, and a high level output signal such as the high voltage Vpp will be produced through the output amp. This will cause a high level write signal to be supplied to the corresponding data line. In contrast, if the output signal from the aforementioned latch circuit DF1 is at a low level, the output signal from the input inverter circuit will be at a high level, and so the depression-type MOSFET Q1, etc., will be in an OFF state. This will cause the input signal of the output amp to go to the high voltage Vpp level, producing an output signal at a low level such as the ground level for the circuit.

In Figure 2A, putting the terminal {CE} to a low level turns on the auto program mode, and the first write operation is performed.

In other words, given the low level of the {CE}, the operation of the ring oscillator RO is enabled, and the clock pulse CLK is generated. The frequency divider counter circuit PCTR receives the aforementioned clock pulse CLK, and produces the counter outputs TP1 to TP4, comprising, for example, four bits, which are sent to the control circuit CONT. The control circuit CONT generates the auto verification write signal {AWE} from the aforementioned counter outputs TP1 to TP4, and the write time signal that is set by the aforementioned command latch circuit. In the present example embodiment, an example is shown wherein the time with a duration of eight clock cycles of the clock pulse CLK is set as the write time. The internal write enable signal {WE} is also put to a low level corresponding to the aforementioned signal {AWE}.

This performs the auto program N1 wherein the aforementioned accepted data D1 to D4 are written simultaneously.

A read operation is provided wherein the voltage of the data line that had been set to the high voltage is sampled at a high speed through a write data line voltage sampling pulse Vpp when the aforementioned write time elapses. Furthermore, after the aforementioned voltage sampling, the auto verification read signal {AVR} is asserted at a low level.

This auto verification read signal {AVR} is inputted into the counter circuit to generate the auto verification address signals AVA0 and AVA1, comprising the two bits corresponding to the address signals Aj of the lower two bits of the aforementioned page program mode. The auto verification comparison data acceptance clock AVER is produced from the aforementioned auto verification read signal {AVR} and the aforementioned clock pulse CLK. Furthermore, the aforementioned address signals AVA0 and AVA1 are decoded by the decoder circuits, not shown, generating the

data latch select signals DRF1 to DRF4, as a time series, synchronized with the aforementioned clock AVER. This selects the data D1 to D4 stored in the data latch circuit.

The sense amp activation pulse {SAC} is produced synchronized with the aforementioned auto verification read signal {AVR}, and one bit of the four-bit readout signal specified by the address signal Ai stored in the aforementioned address latch circuit ADL is specified by the decoder output of the aforementioned address signals AVA0 and AVA1, and is inputted not only to the outputs D1 to D4 from the aforementioned data latch circuit, but also inputted into the data comparison circuit EOR. If it is a match, or in other words, if the write operation has been confirmed, the data comparator circuit EOR puts the auto verification pass signal {AVPS} low. The case of a non-match is shown in Figure 2A. In Figure 2A, when the signal {OE} is put to the low level with an appropriate timing, the internal status SC during that interval is outputted to the terminal I/O. This internal status SC outputs the details of, for example, the commands and operating sequences that have been sent, as described above. This makes it possible for the microprocessor MPU, described below, to readout the operating status of the EPROM with an appropriate timing.

As described above, if the auto verification pass signal {AVPS} is at the high level, then, as shown in Figure 2B, the second N2 write operation is performed.

In Figure 2B, after the aforementioned auto verification, then again the auto verification write enable signal {AWE} {WE} is put low, and, in the same manner as in the aforementioned Figure 2A, the write operation is performed over the time period that is specified by the command data D3 and D4, and with the completion of the write operation, the voltage of the data line that had been at the high level is prepared for the read operation by sampling at a high speed, using the write data line voltage sampling pulse Vpp. After the aforementioned voltage sampling, again the auto verification read signal {AVR} is asserted to a low level, and the auto verification mode is executed in the same way as described above.

When the aforementioned pass signal {AVPS} is asserted to the low level by this auto verification mode, the writing to the memory cell is checked, and thus [the operations] move forward to transfer to the over program mode, such as shown in Figure 2C.

The over program mode (the overwrite mode) in this example embodiment writes using the same duration of time interval as required for the write operation described above. Because of this, when verifying the write the second time, as described above, overwrite programs N1 and N2, for two cycles worth, are performed. The completion of these over program operations cause the outputting of the auto program end signal APE, and the unit auto verification mode is terminated. The output enable signal {OE} goes to a low level synchronized with the end of the auto verification mode, as described above, and when the internal status is read out, the status information that is outputted with the end timing described above changes, for example, from SC to SC'.

Note that the maximum number of write cycles specified by the aforementioned command data D0 to D2 is limited, and until the aforementioned auto verification pass signal {AVPS} is outputted, the unit write operations and verification operations, as described above, will be repeated. Furthermore, when the write verifications are performed, overwriting is performed corresponding to the unit writing for that number of cycles. When the number of writing cycles counted by a counter circuit CCTR exceeds the number of write cycles set, as described above, the control circuit CONT will determine that writing has been disabled, and will output through the data output buffer DOB a memory end signal ME including notification of said decision. This signal ME is outputted also to indicate the case in which the normal writing, such as described above, has been completed. Note

that even when the aforementioned internal status SC has been outputted, it is outputted through the data output buffer DOB from the aforementioned control circuit CONT. Because of this, a multiplexer circuit is provided at the input part of the data output buffer DOB, where, depending on the operating mode thereof, the readout signal from the sense amp SA, the output of the aforementioned internal status, the auto verify complete signal, or the like, can be outputted selectively.

Figure 4 shows a schematic block diagram of an example embodiment of a microcomputer system wherein an EPROM according to the example embodiment described above is installed.

With the microprocessor MPU as the core, a RAM (random access memory), ROM (read-only memory) and EPROM are connected through a bus BUS. Said bus BUS comprises an address bus that carries address signals produced by the microprocessor MPU, a data bus for providing data between the various devices, and a control bus for providing the various control signals. The EPROM in this example embodiment is provided with an auto verify function such as described above, and has a memory area not yet written to.

For example, when the microcomputer system is made from a board structure, the microprocessor MPU, the RAM, the ROM, and the EPROM are each mounted on a mounting board such as a printed board. Because of this, the power supply circuit that generates the high voltage V_{pp} for writing is mounted on the mounting board on which the EPROM is mounted. A circuit that generates the high voltage of approximately 12 volts from the relatively low power supply voltage such as 5 volts using, for example, a charge pump circuit, should be used as this power supply circuit. Furthermore, although there are no particular constraints when it comes to the mounting board for the aforementioned EPROM, write control circuits are provided. These write control circuits produce the control signals (CE) and (OE) for setting the auto verification, as described above, when there is an instruction from the microprocessor MPU for the write operation. At this time, when the microprocessor MPU performs writing to continuous addresses of the EPROM, it specifies the page program mode in order to shorten the writing. Because of this, the aforementioned write control circuit also sets the page program mode accordingly.

In addition, of the address signals supplied by the microprocessor MPU, the top address signal AI is stored in a latch circuit, such as described above, while, at the same time, four bytes of data are inputted serially, depending on the lower address signals. This type of data input, when viewed from the microprocessor MPU, operates in the same way as writing to a RAM. Because the write control signal maintains the low level of the aforementioned chip enable signal (CE) after inputting data, as described above, the auto verify mode is performed by the EPROM as described above. Because of this, the microprocessor MPU is able to perform operations in order to process other data by accessing the RAM and ROM during the interval [in which the EPROM writing is taking place]. For example, the auto program end signal APE is generated within the EPROM, as described above, so when the unit auto verification mode has been completed, an interrupt, or the like, is asserted to the microprocessor MPU, to promote access to the EPROM and to provide notification that the writing has been completed or that the writing failed. Doing this makes it possible to improve the system throughput tremendously. Furthermore, a buffer memory made from, for example, RAM may be provided on the EPROM mounting board and this may be used for storing a succession of data from the microprocessor MPU to be written sequentially to the EPROM.

As described above, when the EPROM is in the auto verification mode, the microprocessor MPU puts the output enable signal {OE} to the low level, thereby making it possible to readout the internal operating state of the EPROM at any time.

In an EPROM with an added auto verification functions such as in this example embodiment, it is easy to write from the microprocessor MPU, as described above. Because of this, when compared to a conventional EPROM wherein writing is done with an EPROM writer prior to installation in the system, this enables a broad range of applications. For example, it becomes easy to take advantage of the non-volatile data, which is a distinctive feature of EPROMs, to store data in a non-volatile state after processing by the microprocessor MPU.

Figure 7 shows a timing diagram for another example embodiment of the present invention. In this example embodiment, the auto verification mode settings are performed by the timing of the chip enable signal {CE} and the output enable signal {OE}. In other words, the control circuit CONT shown in Figure 1 senses the auto verification mode by the chip enable signal {CE} changing from the high level to the low level, and then changing back to the high level while the output enable signal {OE} is held at the low level, as shown in Figure 7. When this is recognized, the control circuit CONT sets data indicating the auto verification mode into the latch circuit FF7, for example, as shown in Figure 3, starting the auto verification mode. Furthermore, in this example embodiment, in order to make it possible to tell from the outside that the auto verification mode has been set, the data {Dout} is outputted to the data I/O terminal I/O. This data {Dout} is data related to the data Dout that is the data for the memory cell that is outputted from the output buffer DOB by changing the output enable signal {OE} from the high level to the low level while holding the chip enable signal {CE} at the high level, or in other words, the data that is read out by the verification mode. In other words, when the auto verification mode is set, the data Dout that is read out by this verification mode is inverted by the output buffer DOB, and is again outputted as the data {Dout} from the output buffer DOB.

According to the present example embodiment, there is no need to apply, from the outside of the EPROM, a command to specify the auto verification mode, thus preventing this mode from being set by accident.

The effects obtained through the example embodiments described above are as follows:

- (1) Not only is the write time for the memory, which is formed by laying out, in the form of a matrix, non-volatile memory elements where in the threshold voltages change according to the data that is written electrically, set according to a time signal that is produced by an internal circuit, but also when the write operation has been completed, the operating mode switches automatically to the verification mode, so the memory itself manages the write time using an internal circuit, and switches automatically into the verification mode once the write operation has been completed, thus producing the effect of simplifying the control of the write operations pertaining to write verifications.
- (2) As a result of (1), above, an effect is obtained wherein it is possible to write from a microprocessor, or the like, with the EPROM built into the system.
- (3) An effect is obtained wherein it is possible to prevent the degradation of the element characteristics due to excessive writing because it is possible to write using a so-called high-speed algorithm through the use of the structure that outputs a match/non-match signal after comparing data internally using the verification mode described above.

- (4) An effect is obtained whereby the throughput of the system can be increased because it is possible to devote the microprocessor to other data processing until the writing is completely finished because it is possible to eliminate the data comparison, in the verification mode, that uses the microprocessor, or the like.

Although the invention created by the inventors has been explained in detail above, based on example embodiments, the present invention is not limited to the example embodiments described above, but, of course, can be modified in various ways insofar as it does not deviate from its intent. For example, as an EPROM, the structure may be one where in the readout signal during the verification mode is outputted to the outside. In such a case, an external microprocessor or writing device would perform the judgment as to whether or not [the readout data] matches the write data. Even in this structure, the settings of the write time, which consume a relatively long time, are performed internally, at least, making the writing from the microprocessor, or the like, easier.

The setting of the auto verification mode can use a high voltage signal in, for example, the output enable signal {OE} or the address terminal, or can use the timing of the chip enable signal {CE} and the output enable signal {OE}, for example, using the timing of the signals such as judging the high level or the low level of the signal {CE} with the timing of the transition to the low level of the signal {OE}, or can use the various example embodiments where in a control terminal is simply added rather than using a high voltage at the chip enables signal {CE}, as described above. The use of the three-level input function or the signal timing, as described above, can prevent having to increase the number of control terminals resulting from the diversification of the operating modes. The page program mode may be used to write data in larger units, or, conversely, may be omitted.

Redundant word/data lines can be equipped for the word/data lines in the memory array MARY in order to cover for word lines or data lines that have gone bad.

The present invention can be applied similarly to a variety of EEPROM's, wherein erasing is performed electrically, instead of to EPROM's, wherein writing is done electrically. These semiconductor memory devices may be built into a semiconductor integrated circuit device, such as in a single-chip microcomputer.

(Effects of the Invention)

The representative effects obtained by the invention disclosed in the present application are explained simply as follows: Not only is the write time for the memory, which is formed by laying out, in the form of a matrix, non-volatile memory elements where in the threshold voltages change according to the data that is written electrically, set according to a time signal that is produced by an internal circuit, but also when the write operation has been completed, the operating mode switch automatically switches to the verification mode, so the memory itself manages the write time using an internal circuit, and switches automatically into the verification mode once the write operation has been completed, thus producing the effect of simplifying the control of the write operations pertaining to write verifications.

4. Simple Explanation of Drawings

Figure 1 is a block diagram showing an example embodiment of an EPROM to which the present invention is applied.

Figure 2a is a timing chart for explaining from the first write cycle after setting the auto verification mode to the verification mode.

Figure 2b is a timing chart for explaining the second write cycle and the verification mode.

Figure 2c is a timing chart for explaining the additional write operations and the final operations.

Figure 3 is a circuit diagram showing an example embodiment of the command data latch.

Figure 4 is a schematic block diagram of an example embodiment of a microcomputer system using an EPROM according to the present invention.

Figure 5 is a circuit diagram showing an example embodiment of a data latch circuit used in page programming.

Figure 6 is a circuit diagram showing an example embodiment of a high voltage detection circuit.

Figure 7 is a timing chart showing another example embodiment of the present invention.

MARY: Memory array
ADB: Address buffer
ADL: Address latch circuit
LDC: Row decoder circuit
CDC: Column decoder circuit
CSG: Column select gate circuit
SA: Sense amp
PMC: Program circuit
DL: Data latch circuit
DOB: Data output buffer
EOR: Data comparator circuit
DIB: Data input buffer
AVCNT: Auto verification control circuit
RO: Ring oscillator
PCTR: Frequency divider counter circuit
CCTR: Output counter circuit
CONT: Control circuit

Representative: Mitsumasa Tokuwaka Patent Attorney

Figure 1

Figure 2a

[FAR LEFT] Auto verification mode set
[MIDDLE LEFT] Address and data latch
[MIDDLE] Auto program (N)
[MIDDLE RIGHT] Auto verification mode
[FAR RIGHT] Auto verification

Figure 2B

[LEFT] Auto program (N2)
[MIDDLE] Auto verification mode
[RIGHT] Auto verification

Figure 2C

[LEFT] Over program (N1)
[MIDDLE] Auto verification mode
[RIGHT] Over program (N2)

Figure 3

Figure 4
[RIGHT] EPROM (auto verification)
[BOTTOM] Bus (address/data/control)

Figure 5

Figure 6

Figure 7
[TOP] Auto verification mode set

CONTINUED FROM PAGE ONE

(51) Int. Cl. ⁵
G 06 F 12/16
G 11 C 16/06
H 01 L 27/115
29/788
29/792

ID Code
310 H

File No.
7737-5B

8624-5F
7514-5F

H 01 L 27/10 434
29/78 371

- (72) Inventor: ["Masashi" OR ONE OF 5 OTHER POSSIBILITIES] Wada
Hitachi ULSI Engineering, Ltd.
5-20-1 Josuihoncho, Kodaira City, Tokyo
- (72) Inventor: ["Takefumi" OR "Takeshi"] Wada
Hitachi ULSI Engineering, Ltd.
5-20-1 Josuihoncho, Kodaira City, Tokyo
- (72) Inventor: ["Seigo," "Seihiro" OR "Yasuhiro"] Nakamura
Hitachi ULSI Engineering, Ltd.
5-20-1 Josuihoncho, Kodaira City, Tokyo

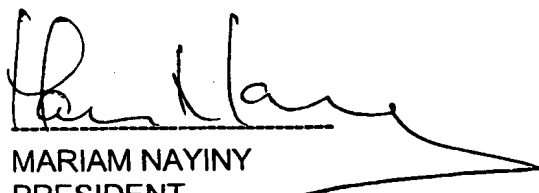


IDEM JOB 03-06-085-A

CERTIFICATION OF ACCURACY

I CERTIFY, UNDER PENALTY OF PERJURY UNDER THE LAWS OF THE UNITED STATES OF AMERICA THAT WE ARE COMPETENT IN ENGLISH AND JAPANESE AND THAT THE FOLLOWING IS, TO THE BEST OF OUR KNOWLEDGE AND BELIEF, A TRUE, CORRECT, COMPLETE AND ACCURATE TRANSLATION OF THE ATTACHED DOCUMENT REGARDING PATENT APPLICATION NUMBER H 2-142000.

JULY 23, 2003



MARIAM NAYINY
PRESIDENT
IDEM TRANSLATIONS, INC.

⑫ 公開特許公報(A)

平2-142000

⑬ Int.Cl.⁵

識別記号

庁内整理番号

⑭ 公開 平成2年(1990)5月31日

G 11 C 29/00

3 0 3 B

7737-5B

7341-5B

7341-5B

G 11 C 17/00

3 0 9 F

A※

審査請求 未請求 請求項の数 3 (全14頁)

⑮ 発明の名称 半導体記憶装置

⑯ 特 願 昭63-295172

⑰ 出 願 昭63(1988)11月22日

⑱ 発 明 者 松 尾 章 則 東京都小平市上水本町5丁目20番1号 日立超エル・エス・アイエンジニアリング株式会社内

⑲ 発 明 者 渡 辺 優 東京都小平市上水本町5丁目20番1号 日立超エル・エス・アイエンジニアリング株式会社内

⑳ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

\x1d 出 願 人 日立超エル・エス・アイエンジニアリング株式会社 東京都小平市上水本町5丁目20番1号

\x1f 代 理 人 弁理士 徳若 光政
最終頁に続く

明 細 書

1. 発明の名称

半導体記憶装置

2. 特許請求の範囲

1. 電気的な書き込み情報に従ってしきい値電圧が変化させられる不揮発性記憶素子がマトリックス配置されてなるメモリアレイを含み、所定の制御信号の入力により、内部回路で書き込み時間が設定されるとともにその書き込みの後に自動的に読み出しモードに切り換えられるというオートベリファイ機能を備えてなることを特徴とする半導体記憶装置。

2. 上記オートベリファイモードでの読み出し動作は、内部に設けられたラッチ回路に記憶された書き込みデータとその読み出しモードにより読み出されたデータとを内部比較回路で比較して、その比較結果を出力するものであることを特徴とする特許請求の範囲第1項記載の半導体記憶装置。

3. 上記不揮発性記憶素子は、EPROMを構成

するものであることを特徴とする特許請求の範囲第1又は第2項記載の半導体記憶装置。

3. 発明の詳細な説明

(産業上の利用分野)

この発明は、半導体記憶装置に関し、例えばEPROM(イレーザブル&プログラマブル・リード・オンリー・メモリ)に利用して有効な技術に関するものである。

(従来の技術)

EPROMに対する書き込み動作は、アドレス指定を行って書き込みデータを入力し、制御信号により書き込みモードとしてメモセルへの書き込みを行う。この書き込み動作が終了すると、制御信号によりベリファイ(読み出し)モードとして上記書き込んだアドレスのメモセルの読み出しを行い書き込み装置(EPROMライター)において上記書き込みデータと読み出しデータとの比較を行うという書き込みの確認を行う。このようなEPROMに関しては、例えば日立製作所昭和63年8月発行「日立ICメモリデータブッ

ク、頁743～頁839がある。

(発明が解決しようとする課題)

従来のEPROMは、上記のように制御信号により動作モードの指定がなされる。それ故、EPROMがマイクロコンピュータシステムに組み込まれた状態(オンボード状態)で、マイクロプロセッサ等から書き込みを行うとすると、比較的長い時間を要する書き込み時間の間、マイクロプロセッサ等自身が上記制御信号を生成し続ける必要がある。したがって、この間、マイクロプロセッサ等の動作が実質的に行われなくなってしまうため、システムのスループットが極端に悪化してしまうという問題がある。

この発明の目的は、書き込み後のベリファイモードの設定を自動化した半導体記憶装置を提供することにある。

この発明の前記ならびにそのほかの目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

(課題を解決するための手段)

体基板において形成される。

同図のメモリアレイMARYは、公知のEPROMと同様にワード線とデータ線との各交差点にコントロールゲートとフローティングゲートとを有するスタックドゲート構造の不揮発性記憶素子が配置されてなり、上記記憶素子のコントロールゲートはワード線に、ドレインはデータ線に、ソースには回路の接地電位点にそれぞれ結合されている。同図においては、上記のメモリアレイMARYとそれに関連する入出力回路は1ビット分のみが示されている。それ故、EPROM全体として8ビットのように複数ビットの単位で読み出しを行う場合には、同図のようなメモリアレイMARYと入出力回路が8組のように複数組設けられるものである。

アドレスバッファADBは、外部端子から供給されるアドレス信号を受けて、内部アドレス信号を形成する。この実施例では、特に制限されないが、後述するようなオートベリファイモード等のために上記内部アドレス信号は一旦アドレスラッ

本願において開示される発明のうち代表的なものの概要を簡単に説明すれば、下記の通りである。すなわち、電気的な書き込み情報に従ってしきい値電圧が変化させられる不揮発性記憶素子がマトリックス配置されてなるメモリアレイに対する書き込み時間が内部回路で形成された時間信号に従い設定されるとともに、その書き込み終了の後に動作モードを自動的にベリファイモードに切り換えるようにする。

(作用)

上記した手段によれば、書き込み時間をメモリ自身が内部回路で管理し、その書き込み動作終了後に自動的にベリファイモードに切り換えられるから、書き込み確認を伴う書き込み動作制御が簡単になる。

(実施例)

第1図には、この発明が適用されたEPROMの一実施例のブロック図が示されている。同図の各回路ブロックは、公知の半導体集積回路の製造技術によって、単結晶シリコンのような1個の半導

体回路ADLに取り込まれる。

上記内部アドレス信号のうち、X系(ロウ系)のアドレス信号は、ロウデコード回路LDCに供給され、ここでその解読が行われる。ロウデコード回路LDCは、上記アドレス信号を解読して、メモリアレイMARYの1本のワード線を選択する。上記内部アドレス信号のうち、Y系(カラム系)のアドレス信号は、カラムデコード回路CDCに供給され、ここでその解読が行われる。カラムデコード回路CDCは、上記アドレス信号を解読してデータ線選択信号を形成する。カラム選択ゲート回路CSGは、上記データ線選択信号によりスイッチ制御されるスイッチMOSFETから構成され、選択された1本のデータ線を共通データ線に接続させる。上記記憶素子の書き込み動作においては、そのドレインとコントロールゲートに比較的高い電圧を供給することが必要である。それ故、上記各デコード回路LDCとCDCは、書き込み動作のために5V系の比較的低いレベルのデコード出力を受けて、約1.2V系の高いレベ

ルに変換するレベル変換機能を持つ。

なお、後述するように同時にNバイトを書き込むというページプログラム機能が設けられる場合、上記カラム選択ゲート回路CSGは、複数のデータ線を複数の共通データ線に接続させる構成を採る。そして、上記複数の共通データ線にはデータラッチ回路が設けられ、それぞれにシリアルに書き込みデータを取り込んだ後に上記カラム選択ゲート回路CSGを通して複数のデータ線に平行に書き込み信号が伝えられるようにする。このようなアドレス構成では、上記カラムデコード回路CDCは、第1と第2のカラムデコード回路に分割され、第1のカラムデコード回路により上記カラム選択ゲート回路CSGの選択信号を形成し、書き込み動作では第2のカラムデコード回路により上記複数のデータラッチ回路の選択信号を形成し、読み出し動作では複数からなる共通データ線のうちの1つを選択する読み出しゲート回路の選択信号を形成する。

上記共通データ線には、データラッチ回路DL

このデータ比較回路EORは、排他的論理和回路等のような一致/不一致回路から構成され、上記書き込みデータと読み出しデータとを比較して、一致/不一致信号を形成する。すなわち、データ比較回路EORは、オートベリファイモードのとき、上記データの比較をしてその一致/不一致の判定を行うものである。

リングオシレータ回路ROは、基準時間信号を形成して、書き込み時間の設定や書き込み動作からベリファイモードへの移行等のようなシーケンシャルな動作タイミング信号を形成する。

分周カウンタ回路PCTRは、上記リングオシレータ回路ROで形成された基本パルスを分周して、設定された書き込み条件に応じた書き込み時間にされた単位の書き込みパルスの生成、内部回路をベリファイモードに切り換えるベリファイパルス等を形成する。出力カウンタ回路CCTRは、上記書き込みパルスを計数して、実質的な書き込み時間の設定に用いられる。

制御回路CONTは、書き込み用高電圧Vppと

が設けられる。このデータラッチ回路DLは、上記のようなページプログラムモードのためではなく、オートベリファイモードのためにだけ用いられる場合、書き込みデータの記憶用に設けられる。それ故、上記のようなページプログラム機能を設けない場合には、1つのデータラッチ回路から構成され、上記のようなページプログラムモードを付加する場合には、複数個のデータラッチ回路から構成される。

データ入力バッファDIBは、外部端子I/Oから供給される書き込みデータや、後述するオートベリファイモード時のコマンドデータの取り込みのためにも用いられる。それ故、データ入力バッファDIBの出力信号は、上記データラッチ回路DLの他、オートベリファイ制御回路AVCNTにも供給される。

上記データラッチ回路DLの出力信号である書き込みデータDIと、オートベリファイモードでの読み出し信号であるセンスアンプSAの出力信号DOとはデータ比較回路EORに供給される。

チップイネーブル信号 \overline{CE} 及び出力イネーブル信号 \overline{OE} とを受けて、内部の動作に必要な各種の制御信号やタイミング信号を形成する。

この実施例では、特に制限されないが、端子 \overline{CE} には、高電圧検出機能が設けられ、端子 \overline{CE} からは高電圧を含む3値の入力信号が供給される。この端子 \overline{CE} からの高電圧は、オートベリファイモードの設定に利用される。

第2A図ないし第2C図には、上記EPROMのオートベリファイモードを説明するためのタイミング図が示されている。

高電圧Vppを約12Vのような高電圧とし、チップイネーブル信号 \overline{CE} を高電圧とした状態で、出力イネーブル信号 \overline{OE} をロウレベルにすることにより、制御回路CONTはオートベリファイモードであると認識する。これにより、オートベリファイコマンド取り込み信号ACDがハイレベルにアサートされ、入出力端子I/Oからコマンドが入力され、次に説明するようなコマンドラッチ回路に取り込まれる。

第3図には、上記コマンドラッチ回路の一実施例の回路図が示されている。

コマンドラッチ回路は、上記のような8個の入出力端子I/Oから供給される8ビットからなるコマンドデータD0ないしD7に対応した8個のラッチ回路FF0ないしFF7から構成される。同図には、そのうち、オートベリファイ信号AP、 \overline{AP} を生成するラッチ回路FF7の具体的回路が代表として例示的に示され、同様な構成からなる他のラッチ回路FF0～FF4等は点線によるブラックボックスで表している。

上記ラッチ回路FF7は、上記データD7を受ける入力用クロックディンバータ回路CN1と、情報保持(帰還)用クロックディンバータ回路CN2及び上記クロックディンバータ回路CN2の入力と出力にその出力と一方とがそれぞれ結合されたナンド(NAND)ゲート回路G1とから構成され、その出力部にはインバータ回路N1とN2が縦列形態に接続されて、上記信号AP、 \overline{AP} を出力する。上記クロックディンバータ回路CN

1とCN2とは、上記オートベリファイモードセット時に発生されるオートベリファイコマンド取り込み信号ACDと \overline{ACD} により相補的に動作状態にされる。すなわち、信号ACDがハイレベル(論理“1”)とき、入力用クロックディンバータ回路CN1が動作状態となり、帰還用クロックディンバータ回路CN2が出力ハイインピーダンスの非動作状態になる。そして、上記取り込み信号ACDがハイレベルからロウレベル(論理“0”)になると入力用クロックディンバータ回路CN1が出力ハイインピーダンスの非動作状態になり、その反転信号 \overline{ACD} がハイレベルになり帰還用クロックディンバータ回路CN2が動作状態になってオートベリファイモードのとき論理“0”にされるコマンドデータD7の保持動作を行う。なお、ノアゲート回路G1には、電圧Vppが書き込み用の高電圧にされるときハイレベルにされる信号VPが供給されているので、上記オートベリファイモードの設定には、上記電圧Vppが高電圧であることが条件とされる。したがって、上

記高電圧Vppが5V又は0Vにされる書き込み動作以外のときには、信号VPのロウレベルにより上記ラッチ回路FF7はリセット状態にされる。

残りのコマンドデータD4とD3は、単位の書き込み時間の設定のために用いられる。すなわち、ラッチ回路FF3とFF4により保持された上記2ビットの信号D3とD4が、ナンドゲート回路とインバータ回路からなるデコード回路に入力され、T100、T025、T050及びT200の4通りの単位の書き込みパルス時間の設定が行われる。

残りのコマンドデータD2ないしD0は、単位の書き込み回数の設定のために用いられる。すなわち、ラッチ回路FF0ないしFF2により保持された上記3ビットの信号D0ないしD2が、ノアゲート回路からなるデコード回路に入力され、N01ないしN15等のような実質的に5通りの最大書き込み回数の設定が行われる。

図示しない残り2ビットのコマンドデータD5のD6のうち、1ビットを用いて後述するように

内部動作状態の出力を許可する信号として用いられる。

第6図には、上記オートベリファイモードのセットに用いられる高電圧検出回路の一実施例の回路図が示されている。

端子CEは、一方において入力バッファIBの入力端子に結合され、この入力バッファを通して内部信号ceが形成される。

上記端子CEは、他方において3値入力を可能とするため、次のような高電圧検出回路の入力端子に結合される。すなわち、上記端子CEから供給される電圧信号は、ダイオード形態のMOSFETQ10とQ11を通してレベルシフトされ、PチャンネルMOSFETQ12とNチャンネルMOSFETQ13からなるCMOSインバータ回路の動作電圧とされる。上記CMOSインバータ回路を構成するMOSFETQ12とQ13のゲートには、特に制限されないが、定常的に電源電圧Vccが供給される。上記NチャンネルMOSFETQ13のコンダクタンスは、比較的小さく

設定される。それ故、端子 \overline{CE} が電源電圧 V_{cc} のような比較的低いレベルのとき、PチャンネルMOSFETQ12がオフ状態にされること等に応じて出力信号HCEは回路の接地電位のようなロウレベルにされる。これに対して、上記端子 \overline{CE} に電源電圧 V_{cc} 以上の所定の高電圧が供給された状態では、MOSFETQ10、Q11及び上記MOSFETQ10とQ11を通した動作電圧がそのしきい値電圧以上にされることによってPチャンネルMOSFETQ12がオン状態にされ、その合成コンダクタンスと、上記ゲートに供給される電源電圧によりオン状態にされるNチャンネルMOSFETQ13のコンダクタンス比に従って出力信号HCEがハイレベルにされる。この信号HCEは、PチャンネルMOSFETQ14、Q15とNチャンネルMOSFETQ16とQ17からなるナンドゲート回路の一方の入力であるMOSFETQ14とQ16のゲートに供給される。上記ナンドゲート回路の他方の入力であるMOSFETQ15とQ17のゲートには、前記の

信号を供給するとともに、入出力端子I/Oから書き込みデータD1ないしD4をシリアルに供給する。すなわち、上記信号 \overline{OE} のロウレベルに同期してページプログラムデータラッチ制御信号PDL Cが生成され、これを基に上記アドレス信号A1に従ってデータラッチ信号DL1ないしDL4が発生される。すなわち、上位ビットのアドレス信号A1(H)は、一定のアドレス信号とされ、例えば下位2ビットのアドレス信号A1(L)により指示されたアドレスA1~A4に対応してデータラッチ信号DL1ないしDL4が生成されることにより、データラッチ回路が指定されて書き込みデータD1ないしD4が各データラッチ回路にシリアルに取り込まれる。

第5図には、上記データ入力バッファDIB及び上記ページプログラムモードにおいて用いられるデータラッチ回路DF1ないしDF4と、書き込みアンパWBの一実施例の回路図が示されている。

1ビットの外部端子I/Oは、一方においてデ

ように高電圧 V_{pp} に書き込み用の高電圧が供給されていることを示す制御信号VPが供給される。これにより、高電圧 V_{pp} が供給された書き込み可能な状態のとき、上記端子 \overline{CE} に対応した高電圧検出回路の出力信号が有効にされる。

このような高電圧検出回路は、上記のような制御信号端子の他、同図に括弧で示したように特定のアドレス端子A1に設けて、アドレス信号として3値入力を行い、各種モードの設定に利用するものとしてもよい。

第2A図において、上記のようなオートベリファイモードに加えて書き込み時間の短縮化のためにページプログラムモードが設定されると、次のようにして書き込みデータがシリアルに入力される。上記ページプログラムモードの設定は、上記残り1ビットのコマンドデータを用いるか、上記端子 \overline{CE} と \overline{OE} の組み合わせから設定される。

上記のようにページプログラムモードが設定されていると、出力イネーブル信号 \overline{OE} のロウレベルをクロックとして、アドレス端子からアドレス

データ入力バッファDIBを構成するノア(NOR)ゲート回路G4の一方の入力に結合される。このノアゲート回路G4の他方の入力には、制御信号 $\overline{DI C}$ が供給される。それ故、制御信号 $\overline{DI C}$ がロウレベル(論理"0")のとき、上記ノアゲート回路G4からなるデータ入力バッファDIBの動作が有効とされ、その出力信号がインバート回路N4を通して次のデータラッチ回路DF1ないしDF4の入力端子に共通に供給される。上記外部端子I/Oは、他方において、データ出力バッファDOBの出力端子に結合されている。

上記各データラッチ回路DF1ないしDF4は、それぞれ分割されたメモリブロックに対応して設けられる。1つのメモリブロックに対応したデータラッチ回路DF1は、入力用クロックドインバート回路CN3と、情報保持(帰還)用クロックドインバート回路CN4及び上記クロックドインバート回路CN3の入力と出力にその出力と一方とがそれぞれ結合されたナンドゲート回路G2とから構成され、その出力部にはノアゲート回路G

3からなる出力回路が設けられる。上記クロックドインバータ回路CN3とCN4とは、ページプログラムモードのときに、上記アドレス信号A_jに従って時系列的に発生されるデータラッチ信号DL1により相補的に動作状態にされる。すなわち、データラッチ信号DL1がハイレベルとき、入力用クロックドインバータ回路CN3が動作状態となり、帰還用クロックドインバータ回路CN4が出力ハイインピーダンスの非動作状態になる。そして、データラッチ信号DL1がハイレベルからロウレベルになると、入力用クロックドインバータ回路CN3が出力ハイインピーダンスの非動作状態になり、帰還用クロックドインバータ回路CN4が動作状態になって上記取り込んだデータの保持動作を行う。他のメモリブロックに対応したデータラッチ回路DF2ないしDF4は、上記同様の回路により構成される。ただし、その制御信号としては、データラッチ信号DL2ないしDL4とされる。

上記ラッチ回路DF1ないしDF4を構成する

ナンドゲート回路G2等の他方の入力には、データラッチリセット信号DLRSが供給される。すなわち、この信号DLRSがロウレベルにされると、ナンドゲート回路G2等の出力が保持情報に無関係にハイレベルになり、各ラッチ回路DF1ないしDF4が全てリセットされる。

各ラッチ回路DF1ないしDF4の出力部に設けられるノアゲート回路G3等の他の入力には、ノーマルプログラムモードのときに形成されるデータライト制御信号DW1ないしDW4が供給される。上記ノアゲート回路G3等の更に他の入力には、ライトイネーブル信号WEが供給される。したがって、各ラッチ回路DF1ないしDF4の出力部に設けられるノアゲート回路G3等は、ライトイネーブル信号WEがロウレベルにされる書き込みモードとき実質的に動作状態にされる。

このとき、ページプログラムモードであるなら、上記信号DW1ないしDW4が全てロウレベルにされるからラッチ回路DF1ないしDF4に保持されたデータが、書き込みアンプWBを通して対

応するデータ線に伝えられ、4ビット（EPROM全体としては4バイト）の単位での一括書き込み（ページプログラム）が行われる。また、ノーマルプログラムモードであるなら、上記信号DL1ないしDL4が全てハイレベルにされるから各ラッチ部を書き込みデータがスルーし、アドレス指定情報に従ってロウレベルにされる1つのデータライト制御信号DW1に対応したノアゲート回路のみがゲートを開くので、書き込みアンプWAを通して対応するデータ線に伝えられ、1ビット（EPROM全体では1バイト）の単位でのノーマル書き込みが行われる。

特に制限されないが、書き込みアンプWBは、次の回路により構成される。上記ノアゲート回路G3等から出力されるデータラッチ回路の出力信号は、入力インバータ回路N3に供給される。このインバータ回路N3等の出力信号は、そのゲートに定常的に電源電圧Vccが供給されるディブレーション型MOSFETQ1等を通して高レベルの書き込み信号を伝えるスイッチ制御信号YW1

ないしYW4を形成する出力アンプの入力に伝えられる。出力アンプは、電源電圧Vccのような比較的低いレベルの信号振幅を高電圧Vppのような高レベルの信号振幅に変換するレベル変換機能を持つ。これらのスイッチ制御信号YW1等は、それに対応する共通データ線に伝える書き込みMOSFETのスイッチ制御信号とされる。

例えば、データラッチ回路DF1からの出力信号がハイレベルなら、入力インバータ回路N3の出力信号がロウレベルになり、出力アンプを通して高電圧Vppのようなハイレベルの出力信号を形成する。これにより、それに対応したデータ線には高レベルの書き込み信号が供給されることになる。これに対して、上記ラッチ回路DF1からの出力信号がロウレベルなら、入力インバータ回路N3の出力信号がハイレベルになり、ディブレーション型MOSFETQ1等をオフ状態とする。これにより、出力アンプの入力信号が高電圧Vppまで上昇して回路の接地電位のようなロウレベルの出力信号を形成する。

第2A図において、端子 \overline{CE} をロウレベルにすると、オートプログラムモードとなり、第1回目の書き込み動作が行われる。

すなわち、信号 \overline{CE} のロウレベルに応じて、リングオシレータROの動作が有効になって、クロックパルスCLKを発生する。分周カウンタ回路PTRは、上記クロックパルスCLKを受けて、例えば4ビットからなる計数出力TP1ないしTP4を形成して、制御回路CONTに伝える。制御回路CONTは、上記コマンドラッチ回路により設定された書き込み時間信号と上記計数出力TP1ないしTP4からオートベリファイライト信号 \overline{AVE} を発生させる。この実施例では、クロックパルスCLKの8周期分の時間が書き込み時間として設定されている例が示されている。内部のライトイネーブル信号WEも上記信号 \overline{AVE} に対応してロウレベルにされる。

これにより、上記取り込まれたデータD1ないしD4が同時に書き込まれるというオートプログラムN1が実行される。

上記オートベリファイリード信号 \overline{AVR} に同期して、センスアンプの活性化パルス \overline{SAC} が形成され、上記アドレスラッチ回路ADLに保持されているアドレス信号A1により指定される4ビットからなる読み出し信号のうち、上記アドレス信号AVA0とAVA1のデコード出力により1ビットが指定されて、上記データラッチ回路からの出力D1ないしD4とともに、データ比較回路EORに入力される。データ比較回路EORは、それが一致したなら、言い換えるならば、書き込みが確認されたならオートベリファイバス信号 \overline{AVPS} をロウレベルにする。第2A図では、不一致の例が示されている。第2A図において、適当なタイミングで信号 \overline{OE} をロウレベルにすると、その間内部状態SCが端子I/Oから出力される。この内部状態SCは、上記設定されたコマンドや動作シーケンスの内容等が出力される。これにより、後述するようなマイクロプロセッサMPUは、適当なタイミングでEPROMの動作状態を読み出して監視することができる。

上記書き込み時間の経過により、高電位にされたデータ線の電位が、書き込みデータ線電位引き抜きパルス ϕ_{DD} により高速に引き抜かれて読み出し動作に備える。そして、上記電位引き抜きの後にオートベリファイリード信号 \overline{AVR} がロウレベルにアサートされる。

このオートベリファイリード信号 \overline{AVR} は、計数回路に入力されて、上記ページプログラムモードの下位2ビットのアドレス信号A1に対応した2ビットからなるオートベリファイアドレス信号AVA0とAVA1が形成される。上記オートベリファイリード信号 \overline{AVR} と上記クロックパルスCLKからオートベリファイ比較データ取り込みクロック \overline{AVER} が形成される。そして、上記アドレス信号AVA0とAVA1が図示しないデコード回路によりデコードされて、上記クロック \overline{AVER} に同期したデータラッチ選択信号DRF1ないしDRF4が時系列的に発生される。これにより、データラッチ回路に保持されているデータD1ないしD4の選択が行われる。

上記のようにオートベリファイバス信号 \overline{AVPS} がハイレベルなら、第2B図のように、第2回目N2書き込み動作が行われる。

第2B図において、上記オートベリファイの後に、再びオートベリファイライトイネーブル信号 \overline{AVE} (WE)がロウレベルにされて、前記第2A図と同様にコマンドデータD3とD4により設定された時間だけ書き込み動作が行われ、その書き込み動作の終了とともに高電位にされたデータ線の電位が、書き込みデータ線電位引き抜きパルス ϕ_{DD} により高速に引き抜かれて読み出し動作に備える。そして、上記電位引き抜きの後に再びオートベリファイリード信号 \overline{AVR} がロウレベルにアサートされ、前記同様なオートベリファイモードが実行される。

このオートベリファイモードにより、上記バス信号 \overline{AVPS} がロウレベルにアサートされると、メモセルへの書き込みが確認されたので、引き続き第2C図に示すようなオーバプログラムモードに移行する。

この実施例のオーバープログラム（追い込み書き込み）は、上記書き込みに要したのと同じ時間だけ書き込むようにする。そのため、上記のように2回で書き込みが確認された場合には、2回分のオーバープログラム（追い込み書き込み）N1とN2が実行される。このオーバープログラム動作の終了により、オートプログラムエンド信号APEが出力されて、単位のオートベリファイモードが終了する。上記のようなオートベリファイモードの終了のタイミングで出力イネーブル信号OEをロウレベルにして内部状態の読み出しを行うと、上記終了タイミングで出力されるステータス情報がSCからSC'のように変化するものとなる。

なお、前記コマンドデータD0ないしD2により設定した最大書き込み回数を限度して上記オートベリファイバス信号AVPSが出力されるまで、上記同様な単位の書き込み動作とベリファイ動作とが繰り返して行われる。そして、書き込みの確認がなされると、その回数分だけの単位の書き込

みに対応した追い込み書き込みが行われるものとなる。カウンタ回路CCTRにより計数された書き込み回数が上記設定された書き込み回数を超えると、制御回路CONTは書き込み不能とし判断してその旨が含まれるメモリエンド信号MEをデータ出力バッファDOBを通して出力させる。この信号MEは、上記のように正常に書き込みが行われて終了した場合もその旨を含むように出力されるものである。

なお、上記内部状態SCを出力させる場合も、上記制御回路CONTからデータ出力バッファDOBを通して出力されることになる。それ故、データ出力バッファDOBの入力部には、マルチプレクサ回路が設けられ、その動作モードに応じてセンスアンプSAからの読み出し信号、上記内部状態の出力、オートベリファイ終了信号等を選択的に出力する。

第4図には、上記実施例のようなEPROMが実装されるマイクロコンピュータシステムの一実施例の概略ブロック図が示されている。

マイクロプロセッサMPUを中心として、バスBUSを介してRAM（ランダム・アクセス・メモリ）、ROM（リード・オンリー・メモリ）及びEPROMが接続される。上記バスBUSには、マイクロプロセッサMPUにより生成されたアドレス信号を伝えるアドレスバスと、各装置間でデータの授受のために用いられるデータバス及び各種制御信号を伝えるコントロールバスからなる。この実施例のEPROMは、前記のようなオートベリファイ機能を備えており、未書き込みの記憶エリアを持つものである。

例えばマイクロコンピュータシステムがボード構成からなる場合、マイクロプロセッサMPU、RAM、ROM及びEPROMのそれぞれがプリント基板等の実装基板に搭載される。それ故、EPROMが実装される実装基板には、書き込み用の高電圧Vppを発生させる電源回路が搭載されるものである。この電源回路としては、チャージポンプ回路等を利用して、5Vのような比較的低い電源電圧から約12Vのような高い電圧を発生さ

せる回路を用いるものとしてもよい。また、上記EPROMの実装基板には、特に制限されないが、書き込み制御回路が設けられる。この書き込み制御回路は、マイクロプロセッサMPUからの書き込み動作が指示されると、前記のようなオートベリファイ設定のための制御信号CEとOEを発生させる。このとき、マイクロプロセッサMPUがEPROMの連続したアドレスへの書き込みを行うときには、書き込み短縮化のためにページプログラムモードが指示される。それ故、上記書き込み制御回路は、それに応じたページプログラムモードの設定も行う。

そして、マイクロプロセッサMPUから供給されるアドレス信号のうち、上位アドレス信号Aiは前記のようにラッチ回路に保持するとともに、下位のアドレス信号に応じて4バイトのデータがシリアルに入力される。このようなデータの入力は、マイクロプロセッサMPUからみれば、RAMに対する書き込みと同様な動作に行われる。上記のようなデータの入力の後に書き込み制御回路

が上記チップイネーブル信号 \overline{CE} をロウレベルに維持するので、EPROMでは前記のようなオートベリファイモードが実行される。

それ故、マイクロプロセッサMPUは、その間RAMやROMをアクセスして他のデータ処理のための動作を行うことができる。例えば、前記のようなEPROM内部においてオートプログラムエンド信号APEが形成され、単位のオートベリファイモードが終了すると、マイクロプロセッサMPUに割り込み等をかけてEPROMのアクセスを促して書き込み終了又は書き込み不能を知らせる。これにより、システムのスループットの大幅な向上が可能になる。また、EPROMの実装基板にRAM等からなるバッファメモリを設け、それにマイクロプロセッサMPUから一連のデータを書き込んでおいて、それをEPROMに連続して書き込むようにしてもよい。

上記のようにEPROMがオートベリファイモードにあるとき、マイクロプロセッサMPUは、出力イネーブル信号 \overline{OE} をロウレベルにすること

によりEPROMの内部動作状態を何時でも読み出して知ることができるものである。

この実施例のようなオートベリファイ機能が付加されたEPROMでは、上記のようにマイクロプロセッサMPUからの書き込みが簡単に行える。それ故、専らシステムに実装される前にEPROMライターにより書き込みが行われる従来のEPROMに比べて、その用途の拡大を図ることができるものとなる。例えば、EPROMの特徴であるデータの不揮発性を生かして、マイクロプロセッサMPUが処理した不揮発化したいデータの保持が簡単になる。

第7図には、この発明の他の一実施例のタイミング図が示されている。この実施例においては、オートベリファイモードの設定がチップイネーブル信号 \overline{CE} と出力イネーブル信号 \overline{OE} のタイミングで行われる。すなわち、第1図に示されている制御回路CONTは、第7図に示されているように、出力イネーブル信号 \overline{OE} がロウレベルにされている期間に、チップイネーブル信号 \overline{CE} がハイ

レベルからロウレベルに変化され、その後再びハイレベルに変化されることによって、オートベリファイモードであると認識する。この認識をすると、制御回路CONTは、例えば第3図に示されているラッチ回路FF7に対してオートベリファイモードを示すデータをセットして、オートベリファイモードに入るようにする。また、この実施例においては、オートベリファイモードに設定されたことが外部から判別できるようにするために、データ入出力端子I/Oにデータ \overline{Dout} を出力するようにされている。このデータ \overline{Dout} は、チップイネーブル信号 \overline{CE} がハイレベルに保持され、出力イネーブル信号 \overline{OE} がハイレベルからロウレベルにされることによって、出力バッファDOBから出力されるメモリセルのデータ、すなわち、ベリファイモードによって読み出されるデータ \overline{Dout} に関連したデータである。すなわち、このベリファイモードによって読み出されたデータ \overline{Dout} が、オートベリファイモードに設定されると、出力バッファDOBによって位相反転され、出力

バッファDOBから再びデータ \overline{Dout} として出力される。

本実施例によれば、オートベリファイモードを指定するコマンドをEPROMの外部から与える必要がなくなり、誤ってモード設定をしてしまうことを防ぐことが可能となる。

上述の実施例から得られる作用効果は、下記の通りである。すなわち、

(1)電気的な書き込み情報に従ってしきい値電圧が変化させられる不揮発性記憶素子がマトリックス配置されてなるメモリアレイに対する書き込み時間が内部回路で形成された時間信号に従い設定されるとともに、その書き込み終了の後に動作モードを自動的にベリファイモードに切り換えるようにすることにより、書き込み時間をメモリ自身が内部回路で管理し、その書き込み動作終了後に自動的にベリファイモードに切り換えられるから、書き込み確認を伴う書き込み動作制御が簡単になるという効果が得られる。

(2)上記(1)により、EPROMがシステムに組み込

まれた状態でマイクロプロセッサ等からのき込みが可能になるという効果が得られる。

(3) 上記ベリファイモードにおいて、内部でデータ比較を行い一致／不一致信号を出力する構成を採ることによって、いわゆる高速アルゴリズムによるき込みが可能になり、過剰な書き込みによる素子特性の劣化等を防止することができるという効果が得られる。

(4) 上記(3)により、マイクロプロセッサ等でのベリファイモードでのデータ比較を省略できるから、完全に書き込みが終了するまでマイクロプロセッサを他のデータ処理に振り向けることができるからシステムのスループットの向上を図ることができるという効果が得られる。

以上本発明者によってなされた発明を実施例に基づき具体的に説明したが、本願発明は前記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。例えば、EPROMとしては、ベリファイモードのとき読み出し信号を外部に出力する構成

であってもよい。この場合には、外部のマイクロプロセッサ又は書き込み装置により書き込みデータとの一致／不一致の判定が行われるものとなる。この構成においても、少なくとも比較的長時間からなる書き込み時間の設定が内部で行われるからマイクロプロセッサ等による書き込みが簡単になるものである。

オートベリファイモードの設定は、前記のようなチップイネーブル信号 \overline{CE} の高電圧を利用するもの他、出力イネーブル信号 \overline{OE} やアドレス端子の高電圧を利用するものや、チップイネーブル信号 \overline{CE} と出力イネーブル信号 \overline{OE} のタイミング、例えば \overline{OE} のロウレベルへの変化タイミングで信号 \overline{CE} のハイレベル又はロウレベルを判定する等のように信号のタイミングを利用するもの、あるいは単純に制御端子を追加するもの等種々の実施例形態を採ることができる。上記のように3値入力機能や信号のタイミングを利用する場合には、動作モードの多様化に伴う制御端子数の増加を防止することができる。ページプログラムモードは

より多くのデータの一括書き込みを行うものとしてもよいし逆に省略されてもよい。

メモリアレイMARYのワード線及び／又はデータ線に冗長ワード線又はデータ線を設けて不良があったワード線又はデータ線の救済を行うようにするものであってもよい。

この発明は、電気的に書き込みが行われるEPROMの他、電気的に消去も行われる各種EEPROMに対しても同様に適用することができるものである。これらの半導体記憶装置は、1チップのマイクロコンピュータ等のような半導体集積回路装置に内蔵されるものであってもよい。

(発明の効果)

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記の通りである。すなわち、電気的な書き込み情報に従ってしきい値電圧が変化させられる不揮発性記憶素子がマトリックス配置されてなるメモリアレイに対する書き込み時間が内部回路で形成された時間信号に従い設定されるとともに、その書

き込み終了の後に動作モードを自動的にベリファイモードに切り換えるようにすることにより、書き込み時間をメモリ自身が内部回路で管理し、その書き込み動作終了後に自動的にベリファイモードに切り換えられるから、書き込み確認を伴う書き込み動作制御が簡単になる。

4. 図面の簡単な説明

第1図は、この発明が適用されたEPROMの一実施例を示すブロック図、

第2A図は、そのオートベリファイモードの設定から第1回目の書き込みとベリファイモードまでを説明するためのタイミング図、

第2B図は、第2回目の書き込みとベリファイモードを説明するためのタイミング図、

第2C図は、追加書き込み動作と終了動作を説明するためのタイミング図、

第3図は、そのコマンドデータラッチ回路の一実施例を示す回路図、

第4図は、この発明に係るEPROMが用いられるマイクロコンピュータシステムの一実施例の

概略ブロック図、

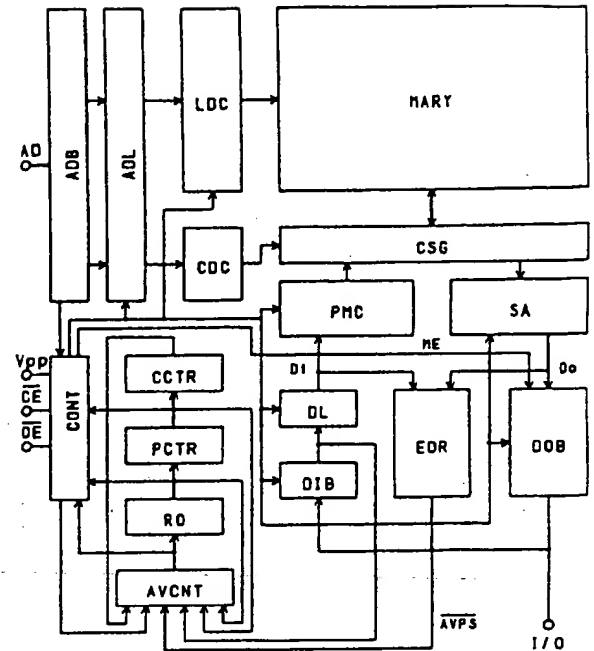
第5図は、ページプログラムに用いられるデータラッチ回路の一実施例を示す回路図、

第6図は、高電圧検出回路の一実施例を示す回路図、

第7図は、この発明の他の一実施例を示すタイミング図である。

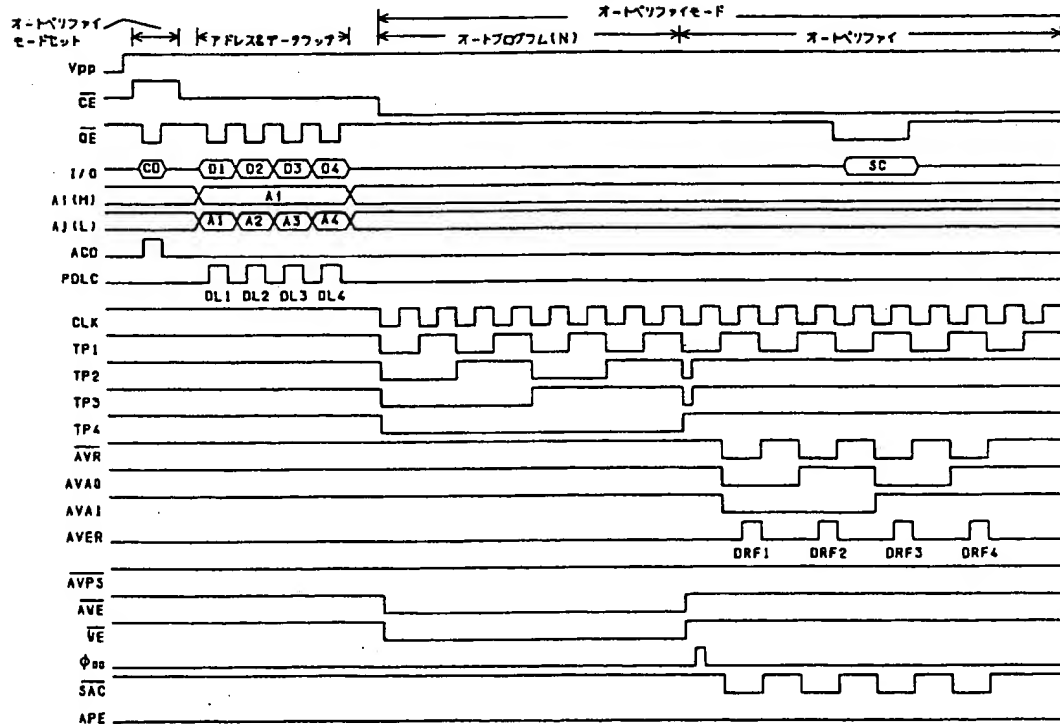
MARY・・・メモリアレイ、ADB・・・アドレスバッファ、ADL・・・アドレスラッチ回路、LDC・・・ロウデコード回路、CDC・・・カラムデコード回路、CSG・・・カラム選択ゲート回路、SA・・・センスアンプ、PMC・・・プログラム回路、DL・・・データラッチ回路、DOB・・・データ出力バッファ、EOR・・・データ比較回路、DIB・・・データ入力バッファ、AVCNT・・・オートベリファイ制御回路、RO・・・リングオシレータ、PCTR・・・分周カウンタ回路、CCTR・・・出力カウンタ回路、CONT・・・制御回路

第1図

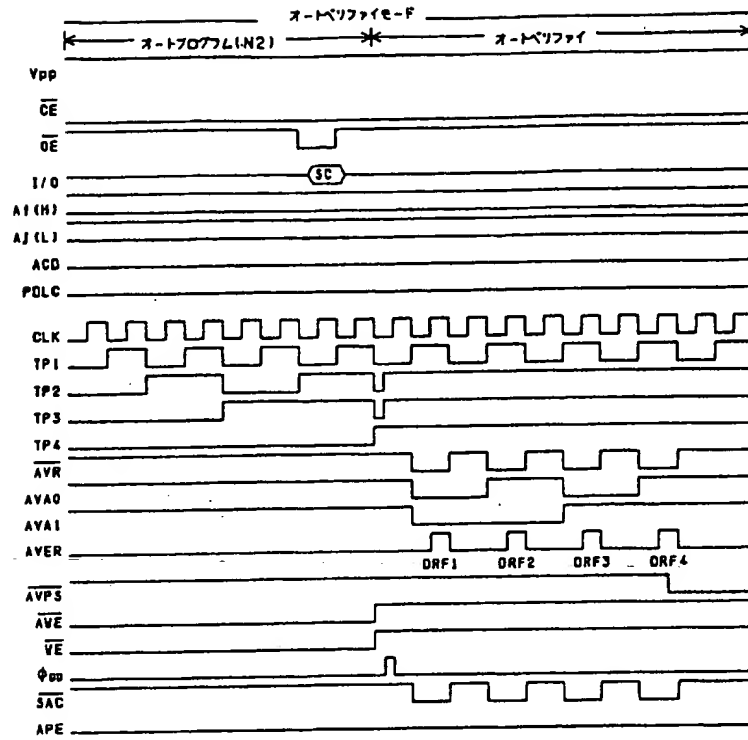


代理人弁理士 徳若 光政

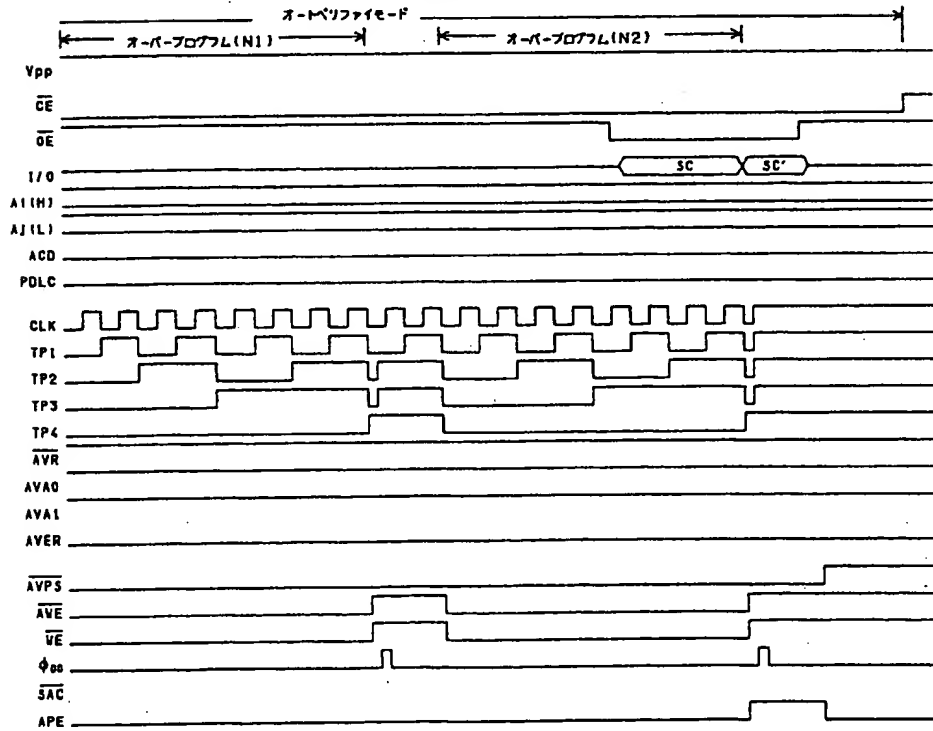
第2A図



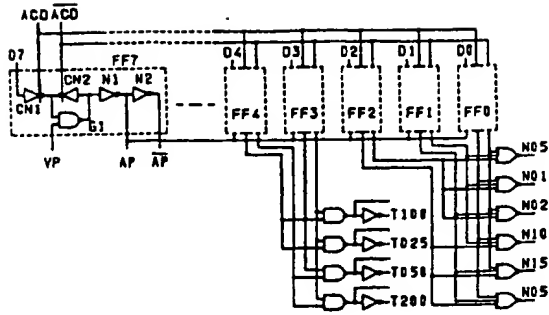
第 2B 図



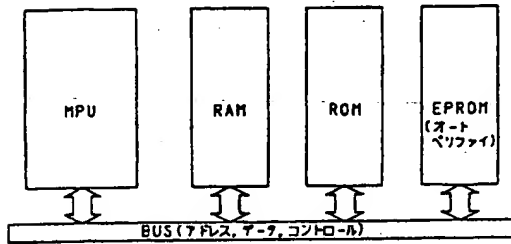
第 2C 図



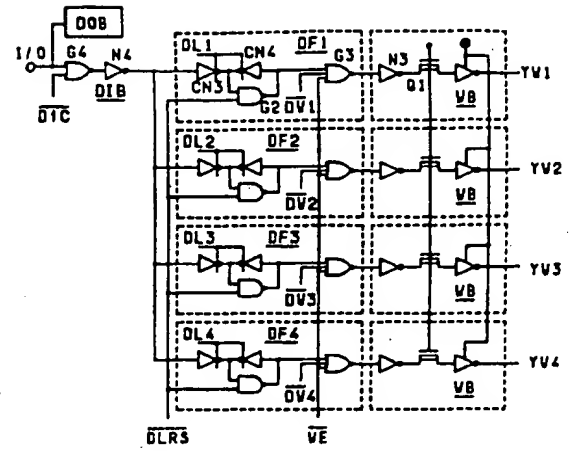
第 3 図



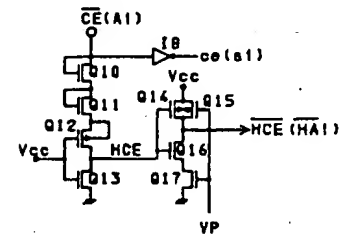
第 4 図



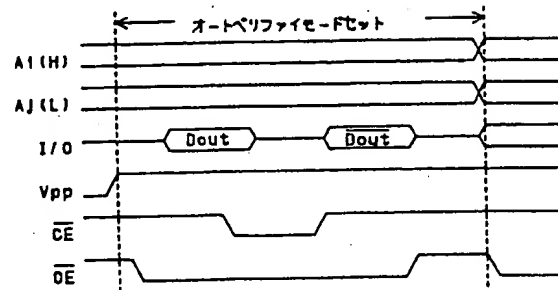
第 5 図



第 6 図



第 7 図



第1頁の続き

⑤Int. Cl. '

識別記号

庁内整理番号

G 06 F 12/16
 G 11 C 16/06
 H 01 L 27/115
 29/788
 29/792

3 1 0 H

7737-5B

8624-5F
 7514-5F

H 01 L 27/10
 29/78

4 3 4
 3 7 1

⑫発 明 者 和 田 正 志 東京都小平市上水本町5丁目20番1号 日立超エル・エ
 ス・アイエンジニアリング株式会社内
 ⑫発 明 者 和 田 武 史 東京都小平市上水本町5丁目20番1号 株式会社日立製作
 所武蔵工場内
 ⑫発 明 者 中 村 靖 宏 東京都小平市上水本町5丁目20番1号 株式会社日立製作
 所武蔵工場内